

(51)Int.Cl. <sup>6</sup>	識別記号	F 1
H 0 3 F 3/343		H 0 3 F 3/343 Z
G 1 1 C 11/407		H 0 3 K 5/13
H 0 3 K 5/13		G 1 1 C 11/34 3 5 4 C
// G 0 6 F 1/10		G 0 6 F 1/04 3 3 0 A

審査請求 未請求 請求項の数4 F D （全 5 頁）

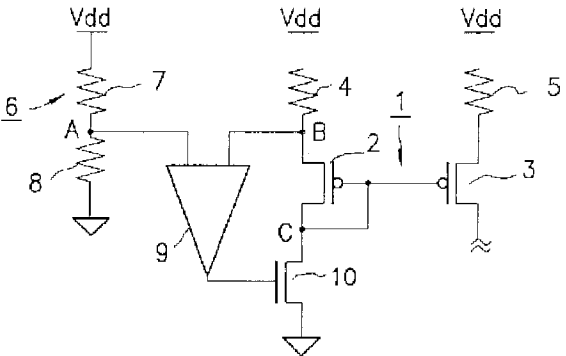
(21)出願番号	特願平9-273427	(71)出願人	000006655 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22)出願日	平成9年(1997)9月19日	(72)発明者	高橋 保彦 東京都千代田区大手町2-6-3 新日本 製鐵株式会社内
		(74)代理人	弁理士 國分 孝悦

(54)【発明の名称】 可変電流源およびこれを用いた電源電圧補償型積分遅延回路

(57)【要約】

【課題】 電源電圧の変動に比例した電流を容易に得られるようにする。

【解決手段】 第1の抵抗4を介して電源電圧V d dに接続された第1のトランジスタ2と、第1の抵抗4と同じ抵抗値を有する第2の抵抗5を介して電源電圧V d dに接続された第2のトランジスタ3とのゲート同士を接続してカレントミラー回路1を構成するとともに、電源電圧V d dを分圧する抵抗分圧回路6の第3の抵抗7により降圧された電圧および第1の抵抗4により降圧された電圧を入力とする差動増幅器9の出力に応じて第1のトランジスタ2に流れる電流を制御する第3のトランジスタ10を、カレントミラー回路1の脚の部分に設けることにより、第3のトランジスタ10が定電流源的に作用することができるようにして、電源電圧V d dの変動に比例した電流をカレントミラーによって確実に取り出すことができるようにする。



## 【特許請求の範囲】

【請求項 1】 第 1 の抵抗を介して第 1 の電源ラインに接続された第 1 のトランジスタと、上記第 1 の抵抗と同じ抵抗値を有する第 2 の抵抗を介して上記第 1 の電源ラインに接続された第 2 のトランジスタとのゲート同士を接続して構成したカレントミラー回路と、

上記第 1 の電源ラインに接続された第 3 の抵抗と、上記第 3 の抵抗に直列に接続された第 4 の抵抗とを備え、上記第 1 の電源ラインおよび第 2 の電源ライン間に供給される電源電圧を分圧する抵抗分圧回路と、

上記第 1 の抵抗により降圧された電圧が一方の入力端に印加されるとともに、上記抵抗分圧回路の上記第 3 の抵抗により降圧された電圧が他方の入力端に印加されるように成された差動増幅器と、

上記差動増幅器の出力に応じて上記第 1 のトランジスタに流れる電流を制御する第 3 のトランジスタとを備えたことを特徴とする可変電流源。

【請求項 2】 上記第 1 のトランジスタおよび第 2 のトランジスタは P 型 MOS トランジスタにより構成され、上記第 3 のトランジスタは N 型 MOS トランジスタにより構成されることを特徴とする請求項 1 に記載の可変電流源。

【請求項 3】 請求項 1 に記載の可変電流源を備えた電源電圧補償型積分遅延回路。

【請求項 4】 請求項 1 に記載の可変電流源と、入力クロックに応じてオン／オフが切り替えられるスイッチと、上記スイッチがオンのときに上記可変電流源から供給される電流に従って積分電圧を蓄積するコンデンサと、上記コンデンサに並列に接続されたインバータ回路とを備えたことを特徴とする電源電圧補償型積分遅延回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は可変電流源およびこれを用いた電源電圧補償型積分遅延回路に関し、特に、電源電圧に比例した電流を得るための技術に関するものである。

## 【0002】

【従来の技術】 近年、マイクロプロセッサや半導体メモリ等の半導体集積回路（LSI）は、処理の高速化等のために高い周波数で動作することが要求されている。それに伴い、各 LSI チップ間の同期、あるいは各 LSI チップ内の回路の同期をとるためのクロックの周波数が高まってきている。

【0003】 このように動作周波数が非常に高速化している中、入力クロックに対して一定の遅延量を持つクロックを生成することが要求されることがある。例えば、非常に高速な DRAM のインタフェースに関して、マイクロプロセッサがバスを介して DRAM から情報を受け取る際に、プロセッサにとってちょうど良いタイミング

で情報を受け取れるように、DRAM から読み出すタイミングを入力クロックのタイミングよりも一定時間だけ遅らせたいという要求がある。

【0004】 従来、入力クロックに対して遅延を施すために、例えば積分遅延回路が用いられている。図 3 に示すように、この積分遅延回路 30 は、定電流源 31 と、コンデンサ 32 と、インバータ 33 とで構成される。この積分遅延回路 30 によれば、定電流源 31 からの電流が積分動作によってコンデンサ 32 に積分電圧として徐々に蓄積されていき、インバータ 33 への入力が高まっていく。その後、積分電圧がインバータ 33 の論理閾値を上回った時点でクロックを出力することにより、積分開始から閾値に達するまでの時間だけクロックを遅延させることが可能である。

## 【0005】

【発明が解決しようとする課題】 この場合、クロックの遅延量は、外乱等によらず常に一定となることが要求される。しかしながら、インバータ 33 を構成する CMOS ゲートの論理閾値は、一般に電源電圧の  $1/2$  程度に設定されるため、インバータ 33 の論理閾値は電源電圧に比例して変わってしまう、これに伴って遅延量も変化してしまう。例えば、電源電圧  $V_{dd}$  が上がると遅延時間は長くなってしまふ。

【0006】 また、図 4 に示すように、図 3 の定電流源 31 の代わりに P 型 MOS トランジスタ 41 を用いると、トランジスタ 41 を流れる電流は、電源電圧  $V_{dd}$  の変化よりも大きな変化が発生してしまう。そのため、例えば電源電圧  $V_{dd}$  が上がると遅延時間は短くなってしまふ。

【0007】 また、図 5 のように抵抗 51 を用いれば電源電圧  $V_{dd}$  の影響はなくなるが、この回路構成ではスイッチングのための機能を有さず、実用上利用することができない。実用上利用できるようにするためには、スイッチング用のトランジスタを更に設ける必要があり、このトランジスタによって電源電圧  $V_{dd}$  の影響を受けてしまふ。

【0008】 そのため、電源電圧  $V_{dd}$  に依存しない積分遅延回路を作ろうとする場合、電源電圧  $V_{dd}$  の変動に対して自己補正をする仕掛けを持たせることにより、コンデンサ 32 に対する充電電流を電源電圧  $V_{dd}$  に比例して変化させる必要がある。コンデンサ 32 に対する充電電流を電源電圧  $V_{dd}$  に比例して変えてやれば、電源電圧  $V_{dd}$  の変動によりインバータ 33 の論理閾値が変わっても、それに対応して積分の速度が変わるので、一定の遅延量を保つことができる。

【0009】 このように電源電圧  $V_{dd}$  に比例した電流を得るための回路としては、図 6 のように、2 つの MOS トランジスタ 62、63 のゲート同士を接続したカレントミラー回路の脚の部分に抵抗 61 を設けたものが容易に想像される。すなわち、抵抗 61 を流れる電流は電

## 3

源電圧 $V_{dd}$ に比例すると考えられるので、それをカレントミラーで取り出せば電源電圧 $V_{dd}$ に比例した電流が得られると想像できる。

【0010】しかしながら、実際にはこの回路では、点Pの電圧は抵抗61を流れる電流から決まるミラー電位とはならず、抵抗61とP型MOSトランジスタ62とで電源電圧 $V_{dd}$ が分圧された電位となってしまう。そのため、カレントミラーがうまく動作せず、電源電圧 $V_{dd}$ に比例した電流を得ることができないという問題があった。

【0011】本発明は、このような問題を解決するために成されたものであり、電源電圧の変動に比例した電流を容易に得ることが可能な回路を提供することを第1の目的とする。また、本発明は、電源電圧の変動によらず入力クロックに対する遅延量を常に一定に保つことが可能な積分遅延回路を提供することを第2の目的とする。

## 【0012】

【課題を解決するための手段】本発明の可変電流源は、第1の抵抗を介して第1の電源ラインに接続された第1のトランジスタと、上記第1の抵抗と同じ抵抗値を有する第2の抵抗を介して上記第1の電源ラインに接続された第2のトランジスタとのゲート同士を接続して構成したカレントミラー回路と、上記第1の電源ラインに接続された第3の抵抗と、上記第3の抵抗に直列に接続された第4の抵抗とを備え、上記第1の電源ラインおよび第2の電源ライン間に供給される電源電圧を分圧する抵抗分圧回路と、上記第1の抵抗により降圧された電圧が一方の入力端に印加されるとともに、上記抵抗分圧回路の上記第3の抵抗により降圧された電圧が他方の入力端に印加されるように成された差動増幅器と、上記差動増幅器の出力に応じて上記第1のトランジスタに流れる電流を制御する第3のトランジスタとを備えたことを特徴とする。

【0013】ここで、上記第1のトランジスタおよび第2のトランジスタをP型MOSトランジスタにより構成し、上記第3のトランジスタをN型MOSトランジスタにより構成しても良い。

【0014】また、本発明の電源電圧補償型積分遅延回路は、請求項1に記載の可変電流源を備えたことを特徴とする。例えば、請求項1に記載の可変電流源と、入力クロックに応じてオン／オフが切り替えられるスイッチと、上記スイッチがオンのときに上記可変電流源から供給される電流に従って積分電圧を蓄積するコンデンサと、上記コンデンサに並列に接続されたインバータ回路とを備える。

## 【0015】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本発明に係る可変電流源の一実施形態を示す図である。以下、この図1を用いて本実施形態の可変電流源について説明する。

## 4

【0016】図1において、1はカレントミラー回路であり、P型のMOS回路により構成された第1のトランジスタ2と、同じくP型のMOS回路により構成された第2のトランジスタ3とのゲート同士を接続して構成される。さらに、第1のトランジスタ2のゲートとドレイン間も接続される。

【0017】上記第1のトランジスタ2は、第1の抵抗4を介して電源電圧 $V_{dd}$ のラインに接続され、第2のトランジスタ3は、上記第1の抵抗4と同じ抵抗値を有する第2の抵抗5を介して電源電圧 $V_{dd}$ のラインに接続される。同じ抵抗値としているのは、電源電圧 $V_{dd}$ に対する電圧降下を同じにするためである。

【0018】6は抵抗分圧回路であり、電源電圧 $V_{dd}$ のラインに接続された第3の抵抗7と、この第3の抵抗7に直列に接続された第4の抵抗8とにより構成される。この抵抗分圧回路6は、電源電圧ラインおよび接地電源ライン間に供給される電源電圧 $V_{dd}$ を分圧する。なお、第3の抵抗7と第4の抵抗8との抵抗値は必ずしも同じである必要はないが、同じにした方が好ましい。また、これらの抵抗値は、第1および第2の抵抗4、5の抵抗値より大きなものを用いる。

【0019】9は差動増幅器であり、第1の抵抗4により電源電圧 $V_{dd}$ の降圧された電圧が一方の入力端に印加されるとともに、抵抗分圧回路6の第3の抵抗7により電源電圧 $V_{dd}$ の降圧された電圧が他方の入力端に印加される。この差動増幅器9は、点Aおよび点Bの電圧が等しくなるように動作する。10はN型のMOS回路で構成された第3のトランジスタであり、差動増幅器9の出力に応じて上記第1のトランジスタ2に流れる電流を制御する。

【0020】図1に示したように、本実施形態では、電流を検出する第1および第2の抵抗4、5は、カレントミラー回路1のゲート同士が接続されている側（カレントミラーの脚の部分）とは反対側に接続し、ゲート同士が接続されている側には、第1のトランジスタ2に流れる電流を制御する回路として、第3のトランジスタ10を接続している。そして、第1のトランジスタ2に流れる電流を、カレントミラーにて取り出すようにしている。

【0021】このように構成することにより、カレントミラーの脚の部分に抵抗を設けた図6の例の場合と異なり、第3のトランジスタ10は定電流源として機能することが可能となる。すなわち、差動増幅器9より第3のトランジスタ10に入力されるゲート電圧が小さくて第3のトランジスタ10が飽和領域に入っているときは、第3のトランジスタ10のドレイン電流は飽和電流となり、第3のトランジスタ10は定電流源的に作用する。

【0022】したがって、点Cの電圧は、第3のトランジスタ10によって影響を受けず、カレントミラー回路1によって決定されるミラー電位となる。このとき、カ

## 5

レントミラー回路 1 の出力電流は、第 3 のトランジスタ 10 のゲート電圧（差動増幅器 9 の出力電圧）に応じて変化する。この差動増幅器 9 の出力電圧は、電源電圧  $V_{dd}$  に比例して変化するの、その結果、カレントミラー回路 1 からは電源電圧  $V_{dd}$  に比例した電流を得ることができる。

【0023】次に、上記のように構成した本実施形態の可変電流源を適用した電源電圧補償型積分遅延回路の構成例を、図 2 に示す。図 2 に示すように、本実施形態の電源電圧補償型積分遅延回路 20 は、可変電流源 21

と、コンデンサ 22 と、インバータ 23 と、CMOS トランジスタ等から成るスイッチ 24 とで構成される。

【0024】上記可変電流源 21 の内部構成は、図 1 に示した通りであり、カレントミラー回路 1 を構成する第 2 のトランジスタ 3 の出力電流がスイッチ 24 に与えられるようになってい。このスイッチ 24 のゲート端子には、図示しないクロック発生回路にて発生されたクロック信号が与えられ、そのクロックパルスの期間だけスイッチ 24 が ON となる。

【0025】クロック信号の供給によりスイッチ 24 が ON になると、可変電流源 21 からスイッチ 24 を介して与えられる電流が、積分動作によってコンデンサ 22 に積分電圧として徐々に蓄積されていき、インバータ 23 への入力徐々に高まっていく。その後、積分電圧がインバータ 23 の論理閾値を上回った時点でクロックを出力することにより、積分開始から閾値に達するまでの時間だけクロックを遅延させることができる。

【0026】このとき、インバータ 23 の論理閾値は、電源電圧  $V_{dd}$  に比例して変わってしまうが、可変電流源 21 によって供給電流を電源電圧  $V_{dd}$  に比例して変えてやることにより、電源電圧  $V_{dd}$  の変動によりインバータ 23 の論理閾値が変わっても、それに対応して積分の速度（積分電圧の立ち上がりカーブ）を変えることができ、一定の遅延量を保つことができる。

【0027】なお、以上の実施形態では、カレントミラー回路 1 を P 型の MOS トランジスタ 2、3 により構成したが、N 型の MOS トランジスタにより構成しても良い。また、本実施形態に係る可変電流源の 1 つの応用例として電源電圧補償型積分遅延回路を挙げたが、これは単なる一例に過ぎず、電源電圧の変動に比例して入力電流が変化することが要求される回路に対しては、何れも応用することが可能である。

【0028】

【発明の効果】本発明は上述したように、第 1 のトランジスタおよび第 2 のトランジスタのゲート同士を接続してカレントミラー回路を構成し、そのゲート同士が接続

## 6

された側（脚の部分）の反対側に第 1 の抵抗および第 2 の抵抗を介して第 1 の電源ラインを接続するとともに、カレントミラー回路の脚の部分には、電源電圧を分圧する抵抗分圧回路の第 3 の抵抗により降圧された電圧および第 1 の抵抗により降圧された電圧を入力とする差動増幅器の出力に応じて第 1 のトランジスタに流れる電流を制御する第 3 のトランジスタを設けたので、第 3 のトランジスタは定電流源的に作用することができるようになり、電源電圧の変動に比例した電流をカレントミラーによって確実に取り出すことができる。

【0029】また、本発明は、上記のように構成した可変電流源を用いて電源電圧補償型積分遅延回路を構成したので、積分遅延回路を構成するインバータの論理閾値が電源電圧に比例して変わってしまったても、可変電流源からの供給電流を電源電圧に比例して変えてやることにより、一定の遅延量を保つことができる。

【図面の簡単な説明】

【図 1】本発明に係る可変電流源の一実施形態を示す図である。

【図 2】本発明に係る可変電流源を適用した電源電圧補償型積分遅延回路の一実施形態を示す図である。

【図 3】従来の積分遅延回路の一構成例を示す図である。

【図 4】従来の積分遅延回路の他の構成例を示す図である。

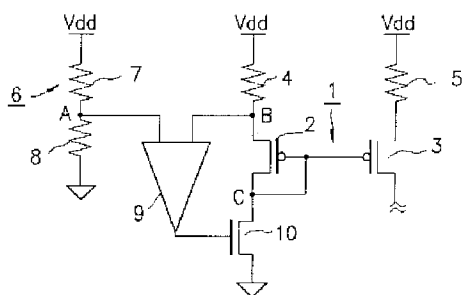
【図 5】従来の積分遅延回路の更に他の構成例を示す図である。

【図 6】電源電圧に比例した電流を得るために考え得る構成例を示す図である。

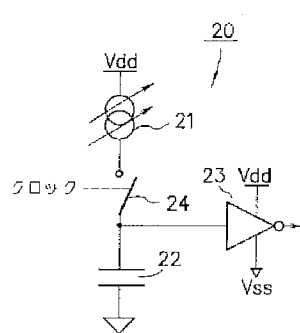
【符号の説明】

- 1 カレントミラー回路
- 2 第 1 のトランジスタ
- 3 第 2 のトランジスタ
- 4 第 1 の抵抗
- 5 第 2 の抵抗
- 6 抵抗分圧回路
- 7 第 3 の抵抗
- 8 第 4 の抵抗
- 9 差動増幅器
- 10 第 3 のトランジスタ
- 20 電源電圧補償型積分遅延回路
- 21 可変電流源
- 22 コンデンサ
- 23 インバータ
- 24 スイッチ

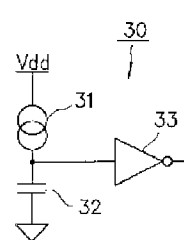
【図 1】



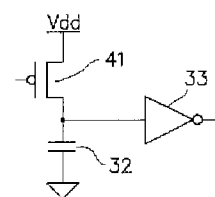
【図 2】



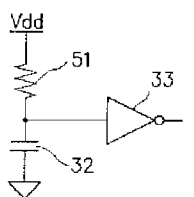
【図 3】



【図 4】



【図 5】



【図 6】

